

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-222880
(43)Date of publication of application : 11.08.2000

(51)Int.CI.

G11C 11/41

G11C 11/413

(21)Application number : 11-021712 (71)Applicant : NEC IC MICROCOMPUT
SYST LTD
(22)Date of filing : 29.01.1999 (72)Inventor : OKITA MUNEHISA

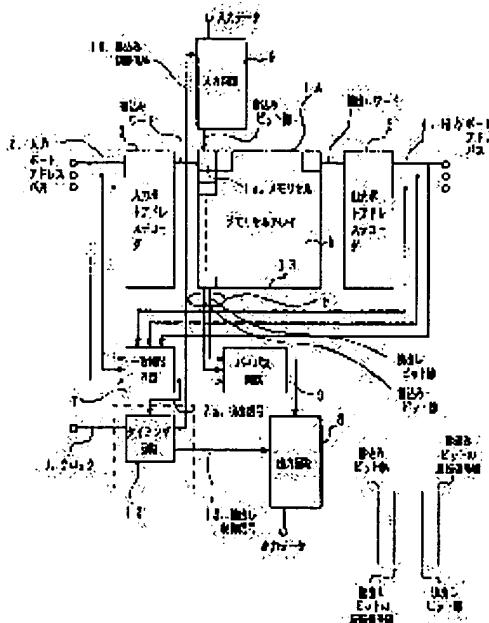
(54) SEMICONDUCTOR MEMORY DEVICE AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor memory device whose read time can be made fast irrespective of whether port addresses coincide or not when an input circuit and an output circuit are arranged on opposite sides by a method wherein whether a write address to, and a read address from, a memory cell coincide or not is detected and the write signal of the input circuit is output to the output circuit when both addresses coincide.

SOLUTION: When the coincidence of two port addresses is detected by a coincidence detection circuit 7, a write control signal 11 executes a write operation at the same time as a read control signal 13. A write operation is performed by a write bit signal to be input to a memory cell 1 via an input circuit 6 and by its inverted signal, it is transmitted up to a side which is opposite by sandwiching a memory cell, and it reaches a

bypass circuit 9. In the bypass circuit 9, a detection signal 7a is received from the coincidence detection circuit 7, and a signal is output by the read control signal 13. When the two port addresses do not coincide, a write operation is performed at a timing which is slower than that of the read control signal 13, and it is not influenced by a coupling



capacitance.

LEGAL STATUS

[Date of request for examination] 29.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226886

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-222880

(P2000-222880A)

(43)公開日 平成12年8月11日(2000.8.11)

(51) Int.Cl.⁷

G 11 C 11/41

識別記号

F. L.

G11C 11/34

5-37-1°(参考)

K 5B015

審査請求 有 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願平11-21712

(22)出願日 平成11年1月29日(1999.1.29)

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社
神奈川県川崎市中原区小杉町1丁目403番
23

(72) 発明者 沖田 宗久

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(74)代理人 100070530

弁理士 烟 泰之

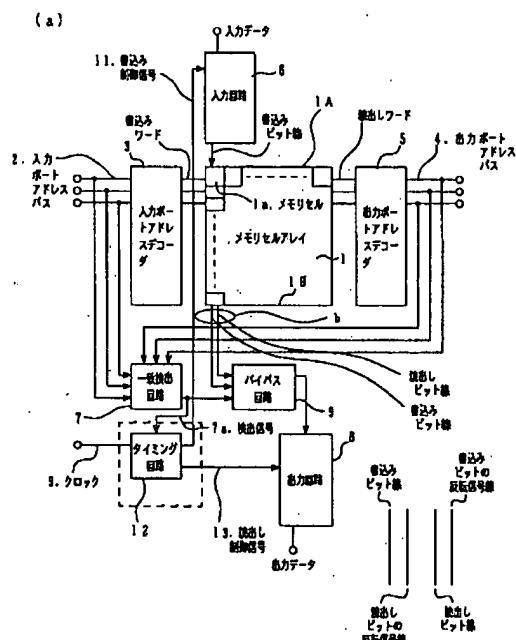
Fターム(参考) 5B015 HH01 HH03 JJ21 KB36 KB89
KB91 KB92 NN01 PP02 0018

(54) 【発明の名称】 半導体記憶装置とその制御方法

(57)【要約】

【課題】 2つのポートアドレスが一致した場合でも不一致の場合でもデータ読み出し時間を高速にした半導体記憶装置を提供する。

【解決手段】 1組のメモリセル1aに対して同時に書き込みと読み出しとを可能にしたマルチポートの半導体記憶装置において、前記メモリセル1aへデータを書込むための入力回路6と、前記メモリセル1a内のデータを読み出すための出力回路8と、前記メモリセル1aへの書き込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一一致検出回路7と、前記一致検出回路7がアドレスの一一致を検出した時、前記入力回路6の書き込み信号を前記出力回路8に出力せしめるバイパス回路9と、前記一致検出回路7がアドレスの不一致を検出した時、読み出し制御信号13を出力した後、書き込み制御信号11を出力することで、読み出しタイミングに対して書き込みタイミングを遅らせるようにタイミングを変える制御信号生成回路12とで構成したことを特徴とする。



【特許請求の範囲】

【請求項1】 1組のメモリセルに対して同時に書込みと読出しどと可能にしたマルチポートの半導体記憶装置において、

前記メモリセルへデータを書込むための入力回路と、前記メモリセル内のデータを読み出すための出力回路と、

前記メモリセルへの書込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路と、

前記一致検出回路がアドレスの一致を検出した時、前記入力回路の書込み信号を前記出力回路に出力せしめるバイパス回路と、

前記一致検出回路がアドレスの不一致を検出した時、読み出し制御信号を出力した後、書込み制御信号を出力することで、読み出しタイミングに対して書込みタイミングを遅らせるようにタイミングを変える制御信号生成回路と、で構成したことを特徴とする半導体記憶装置。

【請求項2】 前記制御信号生成回路から出力される読み出し制御信号の出力タイミングは、前記一致検出回路の検出結果にかかわらず常に一定のタイミングで出力されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記制御信号生成回路から出力される書込み制御信号の出力タイミングは、前記一致検出回路の検出結果にかかわらず常に一定のタイミングで出力されることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 前記メモリセルアレイを挟んで一方の側に前記入力回路が設けられ、他方の側に前記出力回路がレイアウトされていることを特徴とする請求項1乃至3の何れかに記載の半導体記憶装置。

【請求項5】 1組のメモリセルに対して同時に書込みと読出しどと可能にしたマルチポートの半導体記憶装置の制御方法であって、

前記メモリセルへの書込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路を備え、この一致検出回路がアドレスの一致を検出した時、入力回路の書込み信号を出力回路にバイパスするように制御すると共に、前記一致検出回路がアドレスの不一致を検出した時、読み出しタイミングに対して、書込みタイミングを遅らせるようにタイミングを変えることを特徴とする半導体記憶装置の制御方法。

【請求項6】 1組のメモリセルに対して同時に書込みと読出しどと可能にしたマルチポートの半導体記憶装置の制御方法であって、

前記メモリセルの書込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路を備え、この一致検出回路がアドレスの一致を検出した時、入力回路の書込み信号を出力回路にバイパスするように制御すると共に、前記一致検出回路がアドレスの不一致を検出した時、書込みタイミングに対して、読み出し

タイミングを早めるようにタイミングを変えることを特徴とする半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置とその制御方法に係わり、特に、1組のメモリセルに対して同時に書込みと読出しどと可能にしたマルチポートの半導体記憶装置において、書込みタイミング又は読み出しタイミングを可変可能にした半導体記憶装置とその制御方法に関する。

【0002】

【従来の技術】本発明に係わるマルチポートRAMは、特に、LSI中にコアマクロという形で搭載されている。このようなマルチポートRAMは、同じ期間に同一アドレスに対して書き込みと読み出しを行う場合、メモリセルから読み出すと同時にメモリセルへ書き込みが行われる。読み出しはメモリセルに書き込みが終了するまではメモリセルに保持された旧データを読み出すことになり、読み出される途中で値が変化するという事態が生じる。また、書き込みデータがメモリセルに一端書き込まれ、そのデータが読み出されるため、通常の読み出しそりも書き込む時間分余分に時間がかかり、読み出し時間を増大させていた。近年LSIの高速化に伴い同じ期間に書き込み動作と読み出し動作を独立して行い、かつ高速の読み出し時間を実現することが要求されている。

【0003】この要請に応えるために、例えば、特開平1-285088号公報に開示されているように、同じ期間に2つのポートアドレスが一致の場合、入力データをメモリセルに書き込む前にバイパス回路を経て出力回路に伝達し、通常の読み出し時間より遅れることなく、データの読み出しが行われるような回路(図9)が提案されている。なお、図9のタイミングを図12に示した。

【0004】また、近年メモリマクロの多ビット化、微細化により入力データ端子と出力データ端子を同一辺に並べるのが困難になり、入力データ端子と出力データ端子を異なる辺に配置するなどの必要が出てきたり、システムオンチップを実現するため、メモリマクロの信号端子の位置を対応する側に並べるようチップ設計者側から要求が出てきており、この要請に応えるために、例えば、図10に示すように、メモリセルアレイに対して上辺に入力端子を配置し、下辺に出力端子を配置するようなメモリマクロが提供されている。

【0005】この回路のタイミング図を図11に示すが、クロックに対して書き込み制御信号と読み出し制御信号を生成し、入力回路と出力回路を制御し動作する。2つのポートアドレスが一致した場合は一致検出信号で一致が検出され、その信号がバイパス回路に伝達され入力データをバイパスし読み出しが行われる。この場合、通常の読み出しと遅れることなしに読み出しが行われ

る。それに対し2つのポートアドレスが不一致の場合は、読み出しと書き込みが同時に別々のメモリセルに対して行われるため、図4に示すメモリセルの回路図のように、読み出しビット線と書き込みビットの反転信号線の間に読み出しビットの反転信号線と書き込みビット線の間にカップリング容量が発生する。その結果、書き込みデータが読み出しデータに干渉し、読み出しビット線の動作が通常の読み出し時より遅くなり、読み出しが遅くなるという欠点がある。これは近年、微細化が進むなかでビット線間の間隔も狭くなり、従来では無視出来ていたビット線間のカップリング容量も無視できなくなつたことにもよる。

【0006】以上述べた問題は相対する辺に入力回路と出力回路を配置したためであり、図9に示す従来例のように同一の辺に入力回路と出力回路があれば、図12のタイミングチャートで示すように、入力データを出力回路にバイパスするタイミングをクロックと同じタイミングに設定し、メモリセルにデータを書き込む制御信号である書き込み制御信号をクロックよりも少し遅いタイミングに別々に設定することで問題は発生しない。その理由は、2つのポートアドレスが一致する場合は早く入力データを出力回路に伝達し高速読み出しをし、2つのポートが不一致の場合は読み出し中に書き込みの干渉を受けずに高速読み出しをすることが可能であるためである。

【0007】

【発明が解決しようとする課題】本発明の目的は、特に、相対する辺に入力回路と出力回路を配置した場合、2つのポートアドレスが一致した場合でも不一致の場合でもデータ読み出し時間を高速にした新規な半導体記憶装置とその制御方法を提供するものである。

【0008】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、本発明に係わる半導体記憶装置の第1態様は、1組のメモリセルに対して同時に書き込みと読み出しとを可能にしたマルチポートの半導体記憶装置において、前記メモリセルへデータを書き込むための入力回路と、前記メモリセル内のデータを読み出すための出力回路と、前記メモリセルへの書き込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路と、前記一致検出回路がアドレスの一致を検出した時、前記入力回路の書き込み信号を前記出力回路に出力せしめるバイパス回路と、前記一致検出回路がアドレスの不一致を検出した時、読み出し制御信号を出力した後、書き込み制御信号を出力することで、読み出しタイミングに対して書き込みタイミングを遅らせるようにタイミングを変える制御信号生成回路と、で構成したことを特徴とするものであり、又、第2態様は、前記制御信号生成回路から出力される読み出し制御信号の出

力タイミングは、前記一致検出回路の検出結果にかかわらず常に一定のタイミングで出力されることを特徴とするものであり、又、第3態様は、前記制御信号生成回路から出力される書き込み制御信号の出力タイミングは、前記一致検出回路の検出結果にかかわらず常に一定のタイミングで出力されることを特徴とするものであり、又、第4態様は、前記メモリセルアレイを挟んで一方の側に前記入力回路が設けられ、他方の側に前記出力回路がレイアウトされていることを特徴とするものである。

【0009】又、本発明に係わる半導体記憶装置の制御方法の第1態様は、1組のメモリセルに対して同時に書き込みと読み出しとを可能にしたマルチポートの半導体記憶装置の制御方法であって、前記メモリセルへの書き込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路を備え、この一致検出回路がアドレスの一致を検出した時、入力回路の書き込み信号を出力回路にバイパスするように制御すると共に、前記一致検出回路がアドレスの不一致を検出した時、読み出しタイミングに対して、書き込みタイミングを遅らせるようにタイミングを変えることを特徴とするものであり、又、第2態様は、1組のメモリセルに対して同時に書き込みと読み出しとを可能にしたマルチポートの半導体記憶装置の制御方法であって、前記メモリセルの書き込みアドレスと読み出しアドレスとが一致しているか否かを検出するアドレスの一致検出回路を備え、この一致検出回路がアドレスの一致を検出した時、入力回路の書き込み信号を出力回路にバイパスするように制御すると共に、前記一致検出回路がアドレスの不一致を検出した時、書き込みタイミングに対して、読み出しタイミングを早めるようにタイミングを変えることを特徴とするものである。

【0010】

【発明の実施の形態】本発明は、マルチポートRAMにおける書き込み制御信号を生成するタイミング回路に、入力ポートアドレスと出力ポートアドレスとが一致したことを示す信号を生成し、前記一致したことを示す検出信号により、書き込み制御信号のタイミングを変化させる回路を設けたことを特徴としている。

【0011】本発明のマルチポートRAMの1例として、2ポートRAMの構成を図1に示した。この図に示すように、複数のメモリセルからなるメモリセルアレイ1、入力ポートアドレスバス2より信号を受ける入力ポートアドレスデコーダ3、出力ポートアドレスバス4より信号を受ける出力ポートアドレスデコーダ5、メモリセル1にデータを入力する入力回路6、入力ポートアドレスと出力ポートアドレス（以下2つのポートアドレス）が一致したかを検出するアドレスの一致検出回路7、メモリセル1からの出力信号又はメモリセル1への入力データ信号を一致検出回路7からの検出信号7aに基づき後段の回路に伝達するバイパス回路9、バイパス回路9の信号を出力する出力回路8に加え、一致検出回

路7の検出信号7aとクロック信号10とを受けて書込み制御信号11を生成するタイミング回路(制御信号生成回路)12を設けている。

【0012】このタイミング回路12は、2つのポートアドレスが一致したことを検出する一致検出回路7からの検出信号7aを受け、図3に示すように、2つのポートアドレスが一致している場合、書込み制御信号11を、波形6の読み出し制御信号13と略同じタイミングである波形5のタイミングで生成し、不一致の場合は、読み出し制御信号13よりも少し遅らせた波形11のタイミングで生成して、入力回路6に伝達し、読み出し制御信号13は出力回路8に伝達してメモリコアの書込み読み出しが動作を行う。

【0013】従って、2つのポートアドレスが一致した場合、読み出しタイミングと同時に入力データが入力回路6から書込みビット線を経てバイパス回路9に伝達し、更にそのデータが出力回路8に伝達され、通常の読み出し時間より遅れずに読み出すことが出来る。また、2つのポートのアドレスが不一致の場合、書込みタイミングが読み出しタイミングより遅れるため、読み出し時は書込みビット線にデータが伝達されず、読み出し中の読み出しひどく線は書込みデータの干渉を受けることなくメモリセルから読み出しひどく線を経てバイパス回路9に伝達し、更に、そのデータが出力回路8に伝達され、このように構成することで、通常の読み出し時間より遅れずに読み出すことが出来るものである。

【0014】

【実施例】以下に、本発明に係わる半導体記憶装置とその制御方法の具体例を図面を参照しながら詳細に説明する。

(第1の具体例) 図1乃至図3は、本発明に係わる半導体記憶装置とその制御方法の具体例の構造を示す図であって、これらの図には、1組のメモリセル1aに対して同時に書込みと読み出しが可能にしたマルチポートの半導体記憶装置において、前記メモリセル1aへデータを書込むための入力回路6と、前記メモリセル1a内のデータを読み出すための出力回路8と、前記メモリセル1aへの書込みアドレスと読み出しあドレスとが一致しているか否かを検出するアドレスの一致検出回路7と、前記一致検出回路7がアドレスの一致を検出した時、前記入力回路6の書込み信号を前記出力回路8に出力せしめるバイパス回路9と、前記一致検出回路7がアドレスの不一致を検出した時、読み出し制御信号13を出力した後、書込み制御信号11を出力することで、読み出しタイミングに対して書込みタイミングを遅らせるようにタイミングを変える制御信号生成回路12とで構成した半導体記憶装置が示され、又、前記制御信号生成回路12から出力される読み出し制御信号13の出力タイミングは、前記一致検出回路7の検出結果にかかわらず常に一定のタイミングで出力されることを特徴とする半導体記憶装置が

示されている。

【0015】又、前記メモリセルアレイ1を挟んで一方の側1Aに前記入力回路6が設けられ、他方の側1Bに前記出力回路8がレイアウトされている半導体記憶装置が示されている。以下に、本発明を更に詳細に説明する。図1には、本発明の具体例としてのマルチポートRAMの一例である2ポートRAMの例が示されている。この2ポートRAMでは、書き込まれたデータを記憶するメモリセルアレイ1、入力ポートアドレスバス2より信号を受け、書き込みメモリセルのワードを決定する入力ポートアドレスデコーダ3、出力ポートアドレスバス4より信号を受け、読み出すメモリセルのワードを決定する出力ポートアドレスデコーダ5、メモリセルに入力データを書き込む入力回路6、書き込みアドレスと読み出しあドレスの2つのポートアドレスの一致したことを検出する一致検出回路7、書き込み信号又はメモリセル1からの読み出し信号の何れかの信号を一致検出回路7の検出信号7aのレベルにより後段の回路に伝達するバイパス回路9、バイパス回路9の信号を受けてデータを出力する出力回路8、一致検出回路7の検出信号7aとクロック信号10を受けて書き込み制御信号11と読み出し制御信号13とを生成するタイミング回路12で構成されている。

【0016】入力回路6からは入力データが、書き込みビット線とその反転信号線を経てメモリセルに伝達され、同時にメモリセルに対して相対する側のバイパス回路9にも伝達される。メモリセル1からは読み出しひどく信号とその反転信号が出力され、書き込み信号同様バイパス回路9に伝達される。書き込みビット線とその反転信号線、読み出しひどく線とその反転信号線の4本のビット線は図1(b)で示すような配置になっている。通常、これらの配線はメモリセル1つに対して全て同方向に配線されており、メモリセルがアレイ状に並んでいるためこれらの配線もそれに従い長く配線され、且つ、メモリセルの1つに4本の配線があるため配線間隔も狭い。そのため、書き込みビット線と読み出しひどく線の反転信号線との間と、書き込みビット線の反転信号線と読み出しひどく線との間にはカッピング容量が発生しており、同時に信号が伝達し動作した場合は、各々のビット線の動作が干渉し動作が遅くなる。タイミング回路12から出力された書き込み制御信号11は入力回路6に伝達され、又、読み出し制御信号13は出力回路8に各々伝達され、入力ポートアドレスバス2で決定されたメモリセル1aへ入力データが書き込まれ、又、出力ポートアドレスバス4で決定されたメモリセル1aからデータが読み出される。2つのポートアドレスが一致した場合は、バイパス回路9によって入力データが入力回路6から出力回路8に伝達され、出力回路8より出力され、このデータがメモリセル1aに書き込まれる。一方、2つのポートアドレスが不一致の場合は、初め、バイパス回路9を経てメモリセル

のデータが入力回路6から出力回路8に伝達され、次に、書込みアドレスに入力回路6の書込みデータが書込まれる。

【0017】本発明に従って設けられたタイミング回路12は、2つのポートアドレスが一致したことを検出する信号7aによってタイミングを変化させた書込み制御信号11を生成し、この信号11を入力回路6に伝達し、入力データをメモリセルアレイ1及びバイパス回路9に伝達するようにタイミングを制御する。図2を参照すると、図1のタイミング回路12は、以下のように構成されている。即ち、クロック9と検出信号7aとを入力とする NAND21、クロックを入力とするインバータ23、インバータ23で反転させたクロック信号を遅延させる遅延回路28、前記 NAND21 の出力信号と遅延回路28の出力信号とを入力とする NAND22 で構成され、NAND22の出力信号を書込み制御信号11としてタイミング回路12から出力させる。更に、読み出し制御信号13はクロック信号をバッファ24を経て生成される。

【0018】図1のメモリセルアレイの一構成要素であるメモリセルは、図4のように構成されている。図4において、インバータ41の出力はインバータ42の入力に、インバータ42の出力はインバータ41の入力へというようにラッチ構造となり、データの保持を行っている。Nチャンネルトランジスタ43、44は各々ドレイン端子の一方を前記ラッチを構成しているインバータ41の入力、インバータ41の出力に各々接続し、他方を書込みビット線、及びその反転信号線に各々接続しており、各々のゲート端子は書込みワード線に接続されている。この書込みワード線によりNチャンネルトランジスタ43、44のオン、オフが制御され、オン時に書込みビット線及びその反転信号線から書込みデータが書き込まれる。

【0019】Nチャンネルトランジスタ45、46は各々ドレイン端子の一方を前記ラッチを構成しているインバータ42の入力、インバータ42の出力に各々接続し、他方を読み出しビット線、およびその反転信号線に各々接続しており、各々のゲート端子は読み出しワード線に接続されている。この読み出しワード線によりNチャンネルトランジスタ45、46のオン、オフが制御され、オン時に書込みビット線及びその反転信号線にデータが読み出される。

【0020】図1の入力回路6、出力回路8、入力ポートアドレスデコーダ3、出力ポートアドレスデコーダ5、一致検出回路7、バイパス回路9は、当業者にとってよく知られており、また、本発明とは直接関係ないので、その詳細な構成は省略する。以下に、本具体例の動作につき説明する。

【0021】まず、2つのポートアドレスが一致した場合の書込み及び読み出しの動作について説明する。2つのポ

ートアドレスが一致しているため、書込みと読み出しは同一のメモリセルを選択することになる。最初に、入力ポートアドレスと出力ポートアドレスとが一致したことが一致検出回路7で検出され、この場合、一致であるので、検出信号7aがハイレベルとなる。図2のタイミング回路12は、検出信号7aとクロック10とを受け、書込み制御信号11と読み出し制御信号13とを生成する。生成される信号のタイミングは、図3に示すように、波形5が書込み制御信号11で、波形6が読み出し制御信号13であり、この場合、書込み制御信号11は読み出し制御信号13と同じタイミングである。タイミング回路12の書込み制御信号11と読み出し制御信号13の生成方法は後で詳細に述べる。

【0022】書込み制御信号11が入力回路6に伝達され、入力データが入力回路6を経て書込みビット信号及びその反転信号線に伝達され、メモリセルに入力される。メモリセルに入力された書込みビット信号及びその反転信号でメモリセル1への書込みが行われる。メモリセルに書込みが行われると同時に書込みビット信号及びその反転信号はメモリセルアレイを挟んで対応する辺まで伝達され、バイパス回路9に伝達される。バイパス回路9は、一致検出回路7より2つのポートアドレスが一致したというハイレベルの検出信号7aを既に受けしており、書込みビット信号及びその反転信号を出力回路8に伝達し、読み出し制御信号13により信号を出力する。このように、2つのポートアドレスが一致した場合は、出力回路8はメモリセル1からの読み出しを行うのではなく、バイパス回路9を介して入力データを入力回路6から出力回路8に伝達し、読み出し動作を行うから、通常の読み出しタイミングより遅れることなく読み出しを行うことが出来る。

【0023】一方、2つのポートアドレスが不一致の場合、書込みと読み出しは異なるメモリセルを選択することとなる。この場合、不一致であるため、一致検出回路7より出力される検出信号7aはロウレベルとなる。前述した2つのポートアドレスが一致した時と同様、検出信号7aとクロック10とにより、書込み制御信号11と読み出し制御信号13とが生成される。生成される信号のタイミングは、図3に示すように、波形11が書込み信号で波形12が読み出し制御信号であり、書込み制御信号11は読み出し制御信号13に対し少し遅れたタイミングである。一致検出回路7の検出信号7aがバイパス回路9に伝達され、バイパス回路9はメモリセル1からのデータを出力回路8に伝達し、読み出し制御信号13により信号を出力する。書込み動作は、読み出し制御信号13より遅いタイミングで書込み制御信号11が動作するから、メモリセル1から読み出しが終了した時点で書込みデータが書込みビット線及びその反転信号線に伝達され、書込みが行われる。そのため、読み出し中に読み出しビット線が書込みビット線とのカップリング容量による影響を

受けず、通常の読み出しより遅れることなく読み出しを行うことができる。

【0024】半導体記憶装置の動作は通常、読み出しについては読み出し信号を次段のコアマクロに伝達しなければならないため、出来るだけ速い読み出し時間が要求されるが、書き込みについては同周期内にメモリコア内で書き込み動作が終了していれば問題はなく、書き込みタイミングを後ろにずらすことについては問題ない。次に、図2のタイミング回路の動作について、図3のタイミングチャートを用いて更に説明する。

【0025】2つのポートアドレスが一致の場合、検出信号7aはハイレベルであるため NAND 21 の出力はクロックの反転信号が output される(図3の波形2)。ノード27はクロックを反転させた信号(図3の波形3)を遅延させた波形(図3の波形4)を生成する。ノード25の信号とノード27の信号とが NAND 論理演算され、波形5の書き込み制御信号11となる。読み出し制御信号13はクロックをバッファ24を経て生成されるため、検出回路7の検出信号7aのレベルによる変化はなく、書き込み制御信号11と同じタイミングで生成される。一方、2つのポートアドレスが不一致の場合、検出信号7aはロウレベルになり、タイミング回路の NAND 21 の出力はクロックのレベルによらずハイレベルとなる(図3の波形8)。ノード26の信号波形とノード27の信号波形とは2つのポートアドレスが一致した場合と同様の波形(図3の波形9、波形10)である。ノード25の信号とノード27の信号とが NAND 論理演算され、波形11の書き込み制御信号11となる。読み出し制御信号13は前述したと同様、検出信号7aによるタイミングの変化は無く一定である。このように、2つのポートアドレスが不一致の場合の書き込み制御信号11は、読み出し制御信号13に対して少し遅れた信号を生成することとなる。

【0026】(第2の具体例) 本発明の第2の具体例を図5、図6を用いて説明する。この具体例は、基本的構成は図1と同じであるが、タイミング回路について更に工夫している。その構成を図5に示す。図5において、遅延回路28にクロック9を入力し、クロック9と遅延回路28の出力信号とを NAND 回路52に入力し、この NAND 回路52から書き込み制御信号11を得るように構成しており、このように構成することで、クロックがハイレベルからロウレベルに立ち下がった直後、ただちに書き込み制御信号11のレベルもハイレベルからロウレベルに立ち下げることができるから、動作周波数を更に大きくすることができるという効果が得られる。

【0027】従って、このタイミング回路を用いた書き込み制御信号の動作のタイミングチャートは図6のようになる。

(第3の具体例) 本発明の第3の具体例を図7、図8を用いて説明する。上記各具体例では、読み出し制御信号の

タイミングは2つのポートアドレスが一致か否かによらず一定で、書き込み制御信号のタイミングを変化させていたが、書き込み制御信号のタイミングを一定にし、読み出し制御信号のタイミングを2つのポートアドレスの一致、不一致により変化させるように制御しても良い。

【0028】そのためのタイミング回路の回路図を図7に、各波形のタイミング図を図8に示す。この回路では、クロック9はバッファ71に導かれ、その出力信号は、 NAND 回路73に入力され、更に、検出信号7aはインバータ72に導かれ、その出力信号は、 NAND 回路73に入力される。

【0029】バッファ71の出力信号は、遅延回路28に入力され、バッファ71の出力信号と遅延回路28の出力信号とが NAND 回路75に入力される。そして、 NAND 回路73の出力信号と NAND 回路75の出力信号とが NAND 回路74に入力され、 NAND 回路74から読み出し制御信号が生成される。従って、書き込み制御信号をバッファ71により図8の波形85、91に示すようにあらかじめ遅らせたタイミングに固定している。なお、これらの波形85、91は同じタイミングである。2つのポートアドレスが一致した場合、図8の波形85の書き込み制御信号と同じタイミングの読み出し制御信号(図8の波形86)で出力回路8を制御してデータを読み出し、2つのポートアドレスが不一致の場合、図8の波形91の書き込み制御信号より早いタイミングの読み出し制御信号(図8の波形92)で読み出しを行う。このような構成により2つのポートアドレスが不一致の場合は書き込みビット線のカップリング容量の影響を受けずに、しかも、通常より早いタイミングでデータを出力することができ、より高速の動作が実現出来る。

【0030】

【発明の効果】このように、本発明の半導体記憶装置は、タイミング回路によって書き込み制御信号のタイミングを調整しているので、2つのポートアドレスが不一致の場合で、一つのメモリセルに書き込みを行いながら別のメモリセルから読み出しを行う場合、書き込みデータを書き込みビット線に伝達するタイミングを遅らせることにより、書き込みデータの干渉を受けることなく通常の読み出し時間より遅れずにデータを読み出すことが出来る。

【0031】また、2つのポートアドレスが一致した場合、書き込みのデータを読み出しと同じタイミングで書き込みビット線に伝達し、更に、バイパス回路を経て出力回路に伝達することにより、通常の読み出し時間より遅れることなく読み出すことが出来る。従って、2つのポートのアドレスが一致の場合も不一致の場合も通常の読み出し時間より遅れることなく、データを読み出すことが出来る。

【0032】従来の回路の場合、2つのポートアドレスが一致した場合の読み出し時間が2.1 nsで、2つのポートアドレスが不一致の場合の読み出し時間が2.7 ns

であったが、本発明の回路にした場合、2つのポートアドレスが一致した場合のアクセスタイムが2.1ns、2つのポートアドレスが不一致の場合のアクセスタイムが2.2nsと、約2割の遅延増加を防ぐことが出来る。

【0033】更には、本発明の半導体記憶装置では、隣合う書き込みビット線と読み出しビット線のカップリング容量が影響しない構成であるため、更なる配線間の微細化が可能になりチップ面積も小さくできるという優れた効果をも有する。

【図面の簡単な説明】

【図1】本発明に係る半導体記憶装置のブロック図である。

【図2】第1の具体例のタイミング回路である。

【図3】第1の具体例のタイミング回路のタイミングチャートである。

【図4】メモリセルの回路図である。

【図5】第2の具体例のタイミング回路である。

【図6】第2の具体例のタイミング回路のタイミングチャートである。

【図7】第3の具体例のタイミング回路である。

【図8】第3の具体例のタイミング回路のタイミングチャートである。

【図9】従来の半導体記憶装置のブロック図である。

【図10】従来の他の半導体記憶装置のブロック図である。

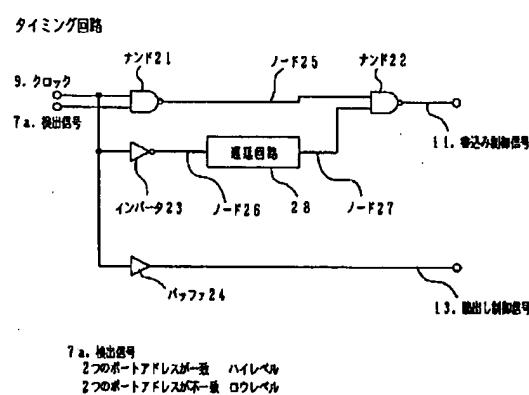
【図11】図10の従来の半導体記憶装置のタイミングチャートである。

【図12】図9の従来の半導体記憶装置のタイミングチャートである。

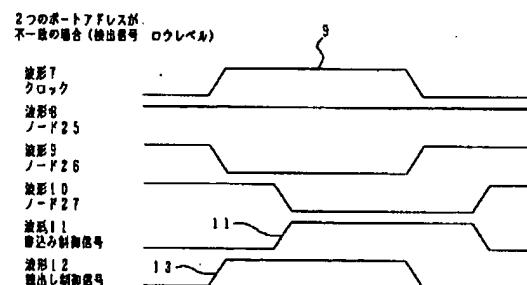
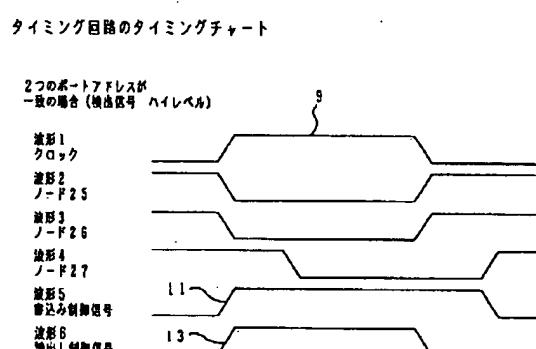
【符号の説明】

- 1 メモリセルアレイ
- 2 入力ポートアドレスバス
- 3 入力ポートアドレスデコーダ
- 4 出力ポートアドレスバス
- 5 出力ポートアドレスデコーダ
- 6 入力回路
- 7 一致検出回路
- 7a 検出信号
- 8 出力回路
- 9 バイパス回路
- 10 クロック
- 11 書込み制御信号
- 12 タイミング回路（制御信号生成回路）
- 13 読出し制御信号

【図2】

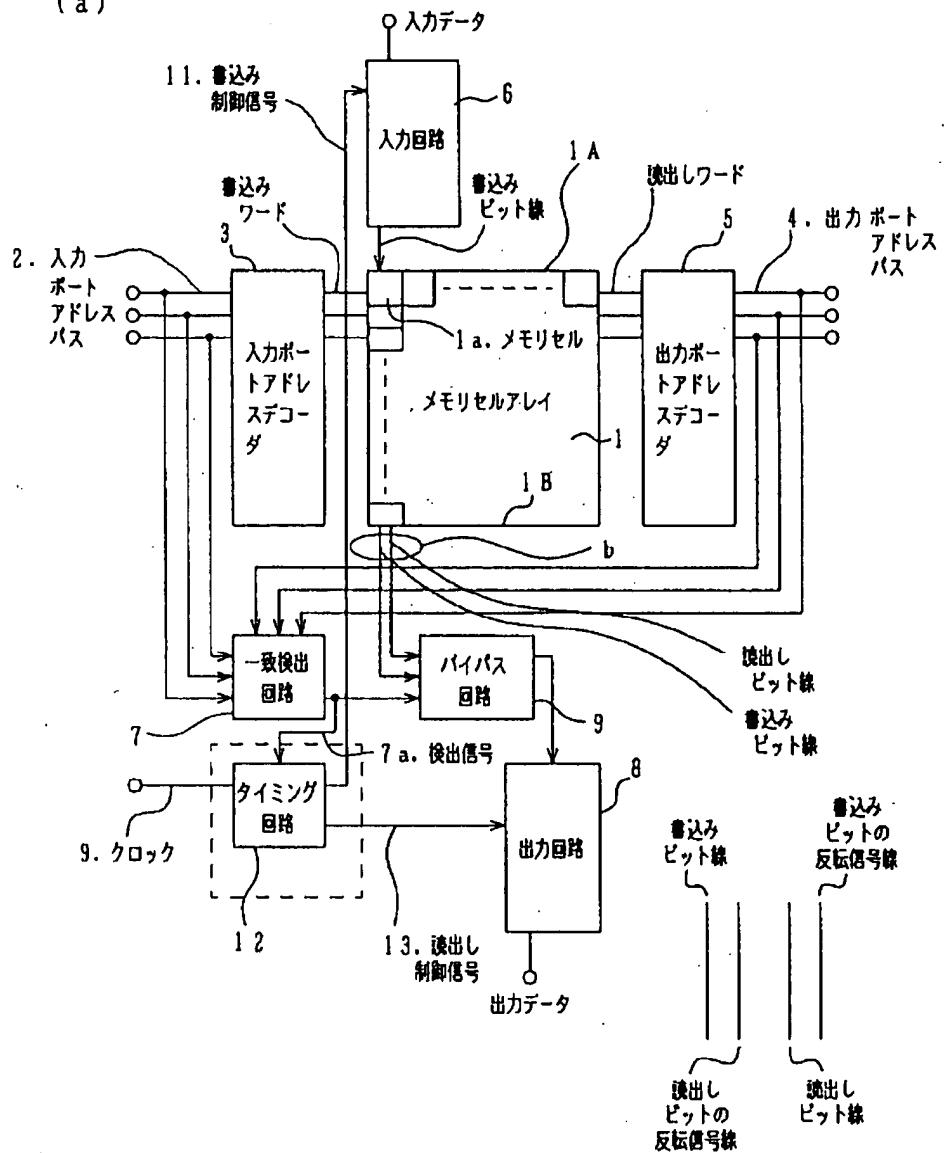


【図3】



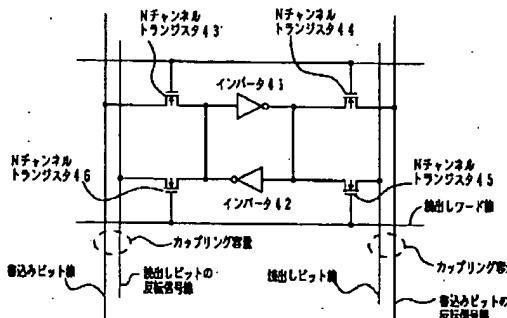
【図1】

(a)

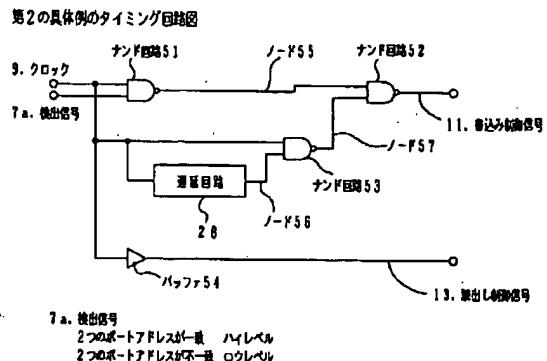


(b) b部のピット線の部分の拡大図

【図4】

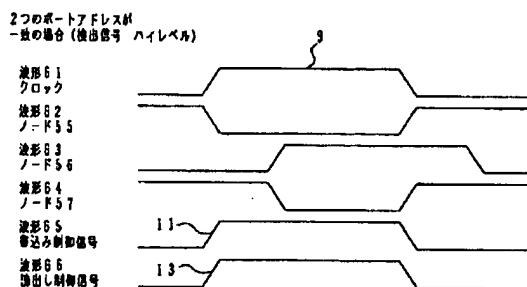


〔图5〕



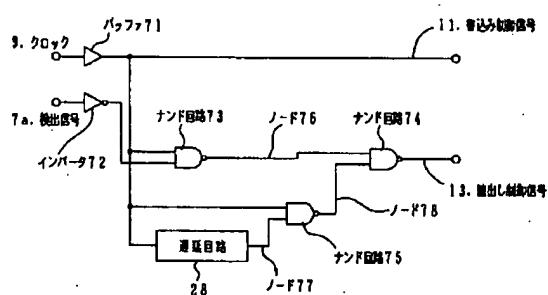
[図6]

第2の具体例の回路のタイミングチャート



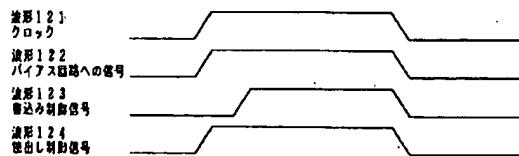
【図7】

第3の具体例のタイミング回路



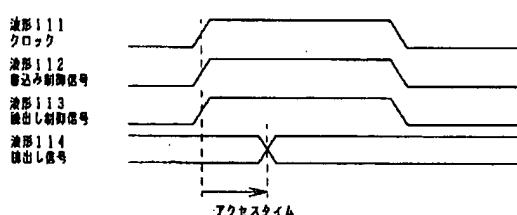
【図12】

従来の回路(図9)のタイミングチャート



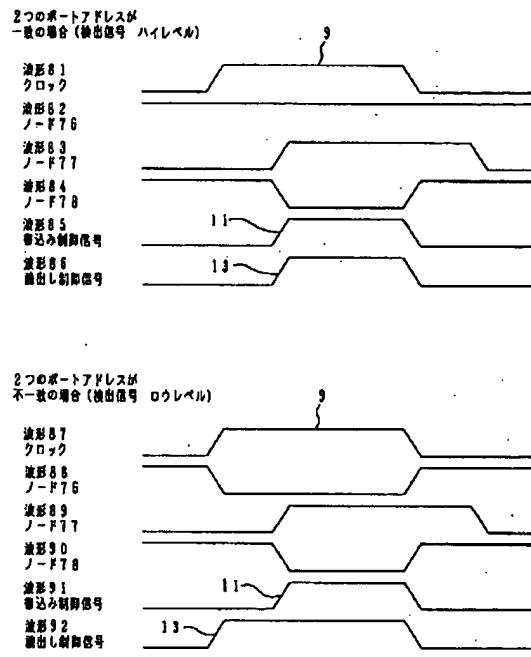
【図11】

従来の回路(図10)のタイミングチャート



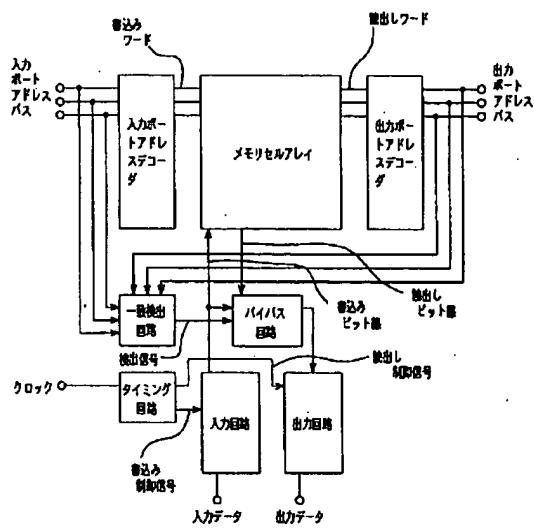
【図8】

第3の具体例の回路のタイミングチャート



【図9】

第1の従来の回路のブロック図



【図10】

第2の従来の回路のブロック図

